

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

JPAB

CLIPPEDIMAGE= JP408202677A

PAT-NO: JP408202677A

DOCUMENT-IDENTIFIER: JP 08202677 A

TITLE: MICROCONTROLLER

PUBN-DATE: August 9, 1996

INVENTOR-INFORMATION:

NAME

HASEGAWA, KENJI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MITSUBISHI ELECTRIC CORP

N/A

APPL-NO: JP07010111

APPL-DATE: January 25, 1995

INT-CL (IPC): G06F015/78; G06F001/32 ; G06F013/36

ABSTRACT:

PURPOSE: To provide a microcontroller which outputs a signal indicating the point of time when a period wherein data are read and written ends.

CONSTITUTION: The microcontroller 1 consists of a clock generating circuit 11, a CPU core 12, an internal resource 13 (or internal resource 14) including a reception control circuit 13a (or 14a), an internal bus 15, and an external bus interface 16, and is connected to the external resource 2 (or 3) including the reception control circuit 21 (or 31) by an external bus 17 and a clock signal transmission line. An end signal generated by the CPU core 12 so as to inform respective resources 14 and 14, and 2 and 3 of the point of time when the reading or writing of data ends makes reception control circuits 13a, 14a, 21 and 31 discriminate the point of time, and data transfer operation of the respective resources 13, 14, 2 and 3 is stopped. Consequently, the power consumption of the whole system is reduced.

COPYRIGHT: (C)1996, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-202677

(43) 公開日 平成8年(1996)8月9日

(51) Int. Cl. <sup>4</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 15/78	5 1 0 P			
1/32				
13/36	5 1 0	9172-5E		
			G 0 6 F 1 / 00	3 3 2 Z
			審査請求	未請求 請求項の数2 O L (全 5 頁)

(21) 出願番号 特願平7-10111

(22) 出願日 平成7年(1995)1月25日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 長谷川 健次

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

(74) 代理人 弁理士 河野 登夫

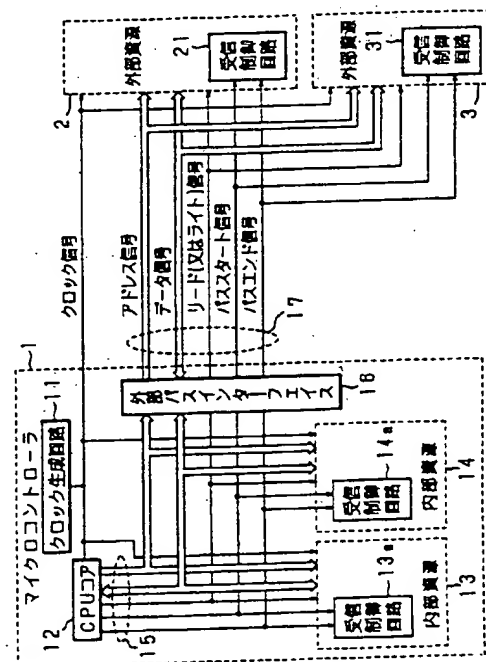
(54) 【発明の名称】 マイクロコントローラ

(57) 【要約】

【目的】 データを読み書きする期間が終了する時点を示す信号を出力するマイクロコントローラの提供。

【構成】 マイクロコントローラ1は、クロック生成回路11、CPUコア12、受信制御回路13a(又は14a)を含む内部資源13(又は内部資源14)、内部バス15及び外部バスインターフェイス16より構成され、受信制御回路21(又は31)を含む外部資源2(又は外部資源3)と外部バス17及びクロック信号伝送線で接続される。データの読み出し又は書き込みが終了する時点を示す各資源13、14、2、3に通知すべくCPUコア12が生成したバスエンド信号は受信制御回路13a、14a、21、31に該時点を示す信号を識別せしめ、各資源13、14、2、3のデータ転送動作を停止せしめるべく構成する。

【効果】 システム全体としての消費電力が減少する。



## 【特許請求の範囲】

【請求項1】 クロックに同期した期間に外部資源に対しデータの送受を行なうマイクロコントローラにおいて、

前記期間が終了する時点を示す信号を生成する生成手段と、

該生成手段で生成した信号を外部資源へ出力する出力手段とを備えたことを特徴とするマイクロコントローラ。

【請求項2】 クロックに同期した期間に内部資源の間でデータの授受を行なうマイクロコントローラにおいて、

前記期間が終了する時点を示す信号を生成する生成手段と、

該生成手段で生成した信号に基づきデータの授受を停止する停止手段とを備えたことを特徴とするマイクロコントローラ。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、マイクロコントローラに関し、特にバスで接続された外部資源に対しデータの送受を行い、またバスで接続された内部資源の間でデータの授受を行なうためのバス制御信号を生成するマイクロコントローラに関する。

【0002】

【従来の技術】図3は、従来のマイクロコントローラがバスを制御するために出力するバス制御信号及びデータ信号のタイムチャートである。図において(a)はシステムを同期化するためのクロック信号を示す。マイクロコントローラは、このクロック信号を生成して内部の資源に与える。(b)はアドレス信号を示し、(c)は内部の資源に対しリードサイクル時(又はライトサイクル時)であることを通知するリード信号(又はライト信号)を示し、(d)は内外の資源から読み出す(又は内外の資源に書き込む)データの信号を示し、(e)は内外の資源に対し有効バスサイクルの開始を通知するバススタート信号を示す。

【0003】クロック信号の立ち上がり時点から少し遅れた時点 $t_0$ において、バススタート信号は“H”から“L”となる。これが次のクロック信号の立ち上がり時点 $t_1$ を、有効バスサイクルの開始時点であると識別する根拠となる。この開始時点 $t_1$ から少し遅れた時点においてアドレス信号が出力され、内外の資源はアドレス信号として受信する。その次のクロック信号の立ち上がり時点 $t_2$ から少し遅れた時点において、リード信号(又はライト信号)は“L”となり、内外の資源はリード信号(又はライト信号)として受信し、データの信号がマイクロコントローラ又は内部資源若しくは外部資源から出力され、バススタート信号は“H”となり立ち上がる。時点 $t_2$ から3番目のクロック信号の立ち上がり時点 $t_3$ が有効バスサイクルを終了する時点であって、

この時点 $t_3$ から少し遅れた時点においてアドレス信号は停止され、リード信号(又はライト信号)は“H”となり、データの信号は停止される。また、内部資源又は外部資源はバススタート信号を受信しない場合は有効バスサイクルの開始時点を識別せず、アドレス信号及びリード信号(又はライト信号)は受信されない。

【0004】このように内部資源又は外部資源は、バススタート信号を受信することにより有効バスサイクルの開始時点を識別し、その時点以後においてアドレス信号及びリード信号(又はライト信号)は伝送するバス上の“H”、“L”の値に応じて例えばメモリに対する読み出し又は書き込み動作を行なう。

【0005】

【発明が解決しようとする課題】従来のマイクロコントローラは以上のように構成されているので、同じシステムにある内外の資源はバススタート信号を受信し、アドレスが一致しない場合は読み書きの準備をし、アドレスが一致する場合は読み書きを行なう。そしてそれ以後において、即ち時点 $t_3$ 以後において、有効バスサイクルであるか否かに拘らずバス上の“H”、“L”の値に応じてデータの読み書きを行なうべく動作する。有効バスサイクルでない場合は、アドレスが異なっている故、具体的な読み書きは行わないが、無駄な電力を消費するという問題点があった。本発明は、このような問題点を解決するためになされたものであって、有効バスサイクルの終了を示すバス制御信号であるバスエンド信号を生成することにより、内部資源又は外部資源のデータの読み書きを停止せしめ、消費電力を低減できるマイクロコントローラを提供することを目的とする。

【0006】

【課題を解決するための手段】第1発明に係るマイクロコントローラは、クロックに同期して外部資源に対しデータを送受する期間が終了する時点を示す信号を生成する生成手段と、該生成手段で生成した信号を外部資源へ出力する出力手段とを備えたことを特徴とする。第2発明に係るマイクロコントローラは、クロックに同期して内部資源の間でデータを授受する期間が終了する時点を示す信号を生成する生成手段と、該生成手段で生成した信号に基づきデータの授受を停止する停止手段とを備えたことを特徴とする。

【0007】

【作用】第1発明のマイクロコントローラは、クロックに同期して外部資源に対しデータを送受する期間が終了する時点を示す信号を生成して出力する故、外部資源はデータの送受を行なう期間の終了を識別してデータの送受を停止することができる。第2発明のマイクロコントローラは、クロックに同期して内部資源の間でデータを授受する期間が終了する時点を示す信号を生成し、生成した信号に基づきデータの授受を停止する。

【0008】

【実施例】以下本発明を、その実施例を示す図面にに基づき具体的に説明する。図1は本発明に係るマイクロコントローラ及びその周辺部のブロック図である。図において、1はデータ転送を行なうマイクロコントローラである。マイクロコントローラ1に含まれるクロック生成回路11は、システムを同期するためのクロック信号を生成し、ゲートアレイを含む周辺機器である外部資源2及び外部資源3、メモリである内部資源13及び内部資源14並びにCPUコア12へ与える。CPUコア12は両内部資源13、14と内部バス15を介してデータ転送を行い、両外部資源2、3と内部バス15、外部バスインターフェイス16及び外部バス17を介してデータ転送を行なう。即ちCPUコア12は、クロック信号に基づきリードサイクル時（又はライトサイクル時）であることを通知するリード信号（又はライト信号）及びアドレス信号を生成し、また有効バスサイクルの開始を通知するバススタート信号及び有効バスサイクルの終了を通知するバスエンド信号を生成する。これらのCPUコア12が生成した信号は書き込むべきデータ信号と共に両内部資源13、14及び両外部資源2、3へ与えられ、読み出したデータ信号は同じルートを逆

向きに通るCPUコア12へ与えられる。

【0009】バススタート信号及びバスエンド信号は、両内部資源13、14の夫々の受信制御回路13a、14a及び両外部資源2、3の夫々の受信制御回路21、31へ与えられ、夫々の受信制御回路13a、14a、21、31は、バススタート信号及びクロック信号に基づき有効バスサイクルの開始時点を識別して、夫々の資源13、14、2、3に対し、アドレス信号並びにリード信号（又はライト信号）を受信可能な状態とし、データ信号を受信可能又は送信可能な状態とし、バスエンド信号及びクロック信号に基づき有効バスサイクルの終了時点を識別して、夫々の資源13、14、2、3に対しアドレス信号並びにリード信号（又はライト信号）を受信不可能の状態とし、データ信号を受信不可能又は送信不可能の状態とする。即ち各資源13、14、2、3はバススタート信号によりマイクロコントローラ1の内部メモリ又は周辺機器としての動作状態になり、バスエンド信号により動作状態を停止する。

【0010】各資源13、14、2、3はクロック信号の立ち上がりエッジに同期して動作すべく回路を構成する。この同期をとるために図示しないD-FF回路が使用され、このD-FF回路にはクロック信号の立ち上がりエッジに対しセットアップタイム及びホールドタイムが規定されており、この期間内に入力に変化した場合、D-FF回路の出力の“H”、“L”は不定になる。

【0011】図2は、図1に示すマイクロコントローラ1がデータを読み書きするために出力する信号及びデータ信号のタイムチャートである。図において、(a)はクロック信号を示し、(b)はアドレス信号を示し、(c)はリード信号（又はライト信号）を示し、(d)は各資源から読み出した（又は各資源に書き込むべき）データの信

号を示し、(e)はバスの使用開始を通知するバススタート信号を示し、(f)はバスの使用停止を通知するバスエンド信号を示す。

【0012】クロック信号の立ち上がり時点から少し遅れた時点 $t_{10}$ において、バススタート信号は“H”から“L”となり、バスエンド信号は“H”である。次のクロック信号の立ち上がり時点 $t_{11}$ が有効バスサイクルの開始時点であって、各受信制御回路13a、14a、21、31は、バススタート信号に基づきこの時点 $t_{11}$ を識別し、各資源13、14、2、3を夫々動作状態とする。即ち、バススタート信号は有効バスサイクルの開始時点 $t_{11}$ を識別せしめる。この時点 $t_{11}$ から少し遅れた時点においてアドレス信号が出力される。

【0013】時点 $t_{10}$ から時点 $t_{11}$ までの期間は、時点 $t_{11}$ に対して十分なセットアップタイムを確保している。その次のクロック信号の立ち上がり時点 $t_{12}$ から少し遅れた時点において、リード信号（又はライト信号）は“H”から“L”となり、データの信号はマイクロコントローラ1又は両外部資源2、3のいずれかから出力され、バススタート信号は“H”となり立ち上がる。時点 $t_{11}$ からこのバススタート信号の立ち上がり時点までの期間は、時点 $t_{11}$ に対して十分なホールドタイムを確保している。時点 $t_{12}$ から2番目のクロック信号の立ち上がり時点 $t_{13}$ から少し遅れた時点において、バスエンド信号は“L”となり立ち下がる。時点 $t_{13}$ の次のクロック信号の立ち上がり時点 $t_{14}$ が有効バスサイクルの終了時点であって、各受信制御回路13a、14a、21、31は、この時点 $t_{14}$ を識別し、動作状態である各資源13、14、2、3を夫々停止させる。

【0014】バスエンド信号が立ち下がる時点から時点 $t_{14}$ までの期間は時点 $t_{14}$ に対して十分なセットアップタイムを確保している。またこの時点 $t_{14}$ から少し遅れた時点において、アドレス信号は停止され、リード信号（又はライト信号）は“H”となり、データの信号は停止される。時点 $t_{14}$ の次のクロック信号の立ち上がり時点 $t_{15}$ から少し遅れた時点において、バスエンド信号は“H”となり立ち上がる。時点 $t_{14}$ からこのバスエンド信号の立ち上がり時点までの期間は時点 $t_{14}$ に対して十分なホールドタイムを確保している。

【0015】このようにCPUコア12はバスエンド信号を生成し、生成したバスエンド信号を、内部バス15を介して両受信制御回路13a、14aに与え又は内部バス15、外部バスインターフェイス16及び外部バス17を介して両受信制御回路21、31へ出力し、有効バスサイクルの終了時点 $t_{14}$ を識別せしめ、その識別した時点において動作状態である各資源13、14、2、3を停止させる。それ故、消費電力が低減する。なお、本実施例においては各資源13、14、2、3に夫々受信制御回路13a、14a、21、31を設け有効バスサイクルの終了時点に各資源13、14、2、3の動作を停止せしめることについて述べたが、両外部資

源2、3又は両内部資源13、14に夫々受信制御回路を設け、有効バスサイクルの終了時点に両外部資源2、3又は両内部資源13、14の動作を停止せしめてもよいことはいうまでもない。

【0016】

【発明の効果】第1発明に係るマイクロコントローラは、クロックに同期して外部資源に対しデータの送受を行なう期間が終了する時点を示す信号を生成して出力する故、外部資源はその出力された信号に基づきデータの送受を終了する時点を識別してデータの送受を停止することができ、無駄な電力を消費しない。第2発明に係るマイクロコントローラは、クロックに同期して内部資源の間でデータの授受を行なう期間が終了する時点を示す信号を生成し、生成した信号に基づきデータの授受を停

止する故、無駄な電力を消費しない。

【図面の簡単な説明】

【図1】 本発明に係るマイクロコントローラ及びその周辺部のブロック図である。

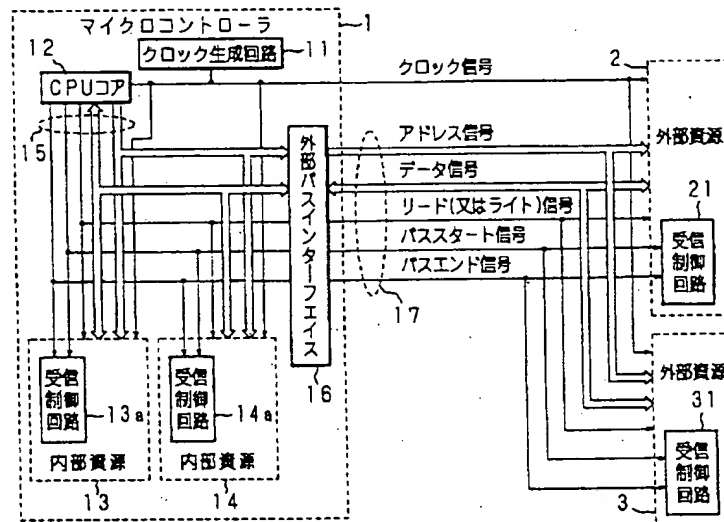
【図2】 図1に示すマイクロコントローラの動作を示すタイムチャートである。

【図3】 従来のマイクロコントローラの動作を示すタイムチャートである。

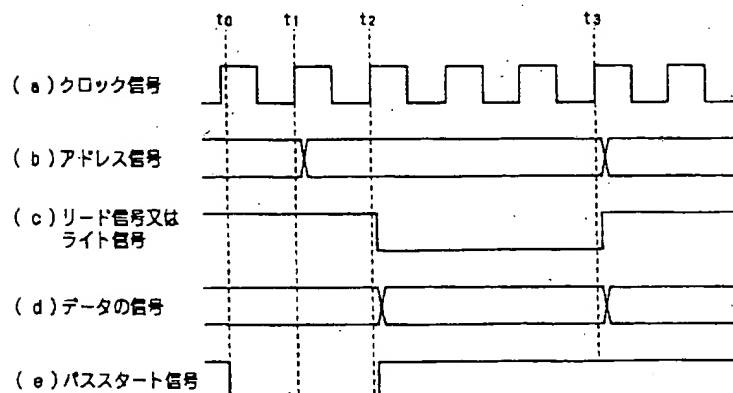
【符号の説明】

1 マイクロコントローラ、2、3 外部資源、11 クロック生成回路、12 CPUコア、13、14 内部資源、13a、14a、21、31 受信制御回路、15 内部バス、17 外部バス。

【図1】



【図3】



【図2】

